

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-015527

(43)Date of publication of application : 18.01.2002

(51)Int.Cl. G11B 20/14
H04N 5/06
H04N 5/92
H04N 5/95

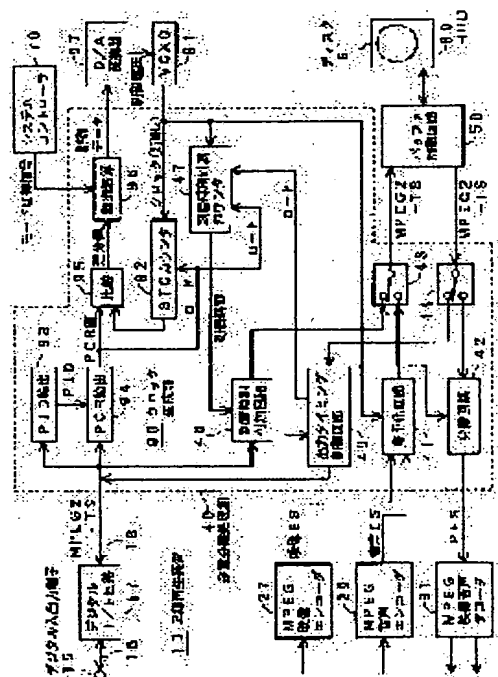
(21)Application number : 2000-193398 (71)Applicant : SONY CORP
(22)Date of filing : 27.06.2000 (72)Inventor : TAKESHITA JUN
SATO TOMOYUKI
OBATA KOJI
HONDA TAKESHI

(54) CLOCK GENERATOR, AND RECORDING AND REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To selectively obtain a clock synchronized with reference clock information contained in digital data and a clock of a fixed frequency using a single oscillator.

SOLUTION: When a MPEG2-TS from a digital broadcasting tuner is inputted and recorded) on a recording and reproducing device 10, a clock-generating part 90 generates a PLL to obtain the clock synchronized with a PCR included in the MPEG2-TS. The output value of a counter 47 is added to each packet as arrival time information on the packet in the arrival time addition circuit 48, and the MPEG2-TS is recorded on a disk 61. At reproduction, the clock of a fixed frequency of 27 MHz is obtained from a VCXO 91. Arrival time information added to the first packet of the reproduced MPEG2-TS is loaded to the counter 47, and when the output value of the counter 47 matches value of arrival time information added to packets after the second packet, the packets are outputted to the digital broadcasting tuner.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-15527

(P2002-15527A)

(43)公開日 平成14年1月18日(2002.1.18)

(51) Int.Cl.⁷

識別記号

F I

テークアウト* (参考)

G 1 1 B 20/14

3 5 1

G 1 1 B 20/14

351A 5C020

H04N 5/06

H04N 5/06

Z 5 C 0 5 3

5/92

5/92

H 5 D 0 4 4

5/95

5/95

7

審査請求 未請求 請求項の数5 OL (全 10 頁)

(21)出願番号

特願2000-193398(P2000-193398)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 竹下 順

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72) 発明者 佐藤 智之

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100091546

弁理士 佐藤 正美

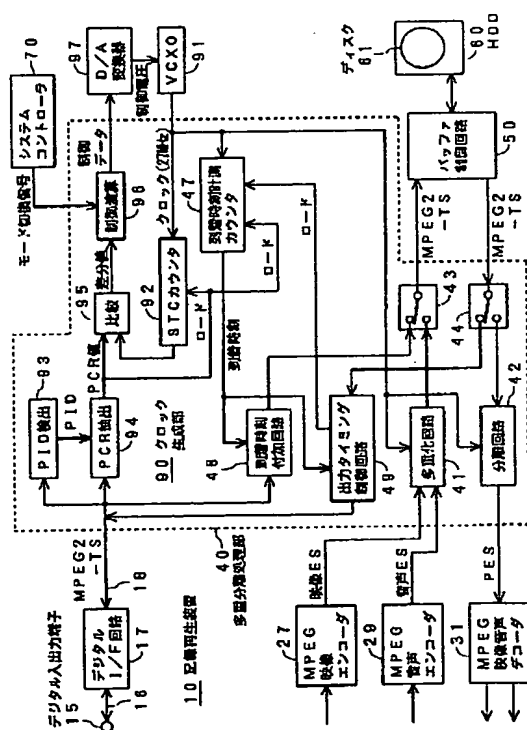
[最終頁に続く](#)

(54) 【発明の名称】 クロック生成装置および記録再生装置

(57) 【要約】 (修正有)

【課題】 一つの発振器によって、デジタルデータに含まれる基準時刻情報に同期したクロックと固定周波数のクロックとを、選択的に得ることができるようにする。

【解決手段】 デジタル放送チューナからのMPEG2-TSを記録再生装置10に入力して記録する場合にクロック生成部90がPLLを形成し、MPEG2-TSに含まれるPCRに同期したクロックが得られるようにする。到着時刻付加回路48でカウンタ47の出力値を各バケットにバケットの到着時刻情報として付加し、MPEG2-TSをディスク61に記録する。再生時には、VCXO91から27MHzの固定周波数のクロックを得る。再生されたMPEG2-TSの最初のバケットに付加されている到着時刻情報をカウンタ47にロードし、カウンタ47の出力値が2個目以降のバケットに付加されている到着時刻情報の値に一致した時、そのバケットをデジタル放送チューナに出力する。



【特許請求の範囲】

【請求項1】制御値に応じて発振周波数に変化する発振器と、この発振器からのクロックを計数するカウンタと、基準時刻情報を含むデジタルデータから基準時刻情報を抽出する抽出手段と、その抽出された基準時刻情報の値と前記カウンタの出力値との差分値を算出する比較手段と、その算出された差分値から前記発振器に供給する制御値を演算する演算手段とを備え、制御手段からのモード切換信号によって前記演算手段が制御されて、前記制御値として前記差分値から演算された値が前記発振器に供給されることによって前記発振器から前記基準時刻情報に同期したクロックが得られる同期モードと、前記制御値として固定の値が前記発振器に供給されることによって前記発振器から固定周波数のクロックが得られる固定モードとの、いずれかに切り換えられるクロック生成装置。

【請求項2】制御値に応じて発振周波数に変化する発振器と、この発振器からのクロックを計数するカウンタと、基準時刻情報を含むデジタルデータから基準時刻情報を抽出する抽出手段と、その抽出された基準時刻情報の値と前記カウンタの出力値との差分値を算出する比較手段と、その算出された差分値から前記発振器に供給する制御値を演算する演算手段とを有するクロック生成部と、モード切換信号によって前記演算手段を制御して、前記クロック生成部を、前記制御値として前記差分値から演算された値が前記発振器に供給されることによって前記発振器から前記基準時刻情報に同期したクロックが得られる同期モードと、前記制御値として固定の値が前記発振器に供給されることによって前記発振器から固定周波数のクロックが得られる固定モードとの、いずれかに切り換える制御部と、を備える記録再生装置。

【請求項3】請求項2の記録再生装置において、前記制御部は、前記デジタルデータが記録媒体に記録されるときには、前記クロック生成部を前記同期モードに切り換え、前記デジタルデータが記録媒体から再生されるときには、前記クロック生成部を前記固定モードに切り換える記録再生装置。

【請求項4】請求項3の記録再生装置において、前記発振器からのクロックを計数する、前記カウンタが兼ねる、または前記カウンタとは別の到着時刻計測カウンタと、前記記録媒体に記録されるデジタルデータに、前記到着時刻計測カウンタの出力値を到着時刻情報として付加する到着時刻付加手段と、前記記録媒体から再生されたデジタルデータを、これに付加されている到着時刻情報の値に前記到着時刻計測カウンタの出力値が一致した時、出力する出力タイミング制御手段と、

を備える記録再生装置。

【請求項5】請求項3の記録再生装置において、外部から入力されたアナログ信号を、デジタルデータに変換して、前記記録媒体に記録するための処理部、および、その記録されたデジタルデータを、前記記録媒体から再生し、アナログ信号に変換して、外部に出力するための処理部を備え、前記制御部は、そのアナログ入力時およびアナログ出力時には、前記クロック生成部を前記固定モードに切り換える記録再生装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、符号化ビットストリームなどのデジタルデータの処理用のクロックを生成する装置、および符号化ビットストリームなどのデジタルデータを記録再生する装置に関する。

【0002】

【従来の技術】デジタル放送では、映像や音声などが、MPEG (Moving Picture Experts Group) などの技術によって圧縮符号化されて、衛星通信網などによって放送され、受信側では、その符号化ビットストリームがリアルタイムで復号され、さらにアナログ信号に変換されて、モニタ出力装置に出力されることによって、視聴者は映像や音声を視聴することができる。

【0003】デジタル放送受信機またはデジタル放送チューナには、受信した符号化ビットストリームに含まれるPCR (Program Clock Reference) などの基準時刻情報に同期した、例えば27MHzのクロックを発生するクロック生成装置が実装され、これによって、受信側においても、送信側と同位相のクロックが生成されて、符号化データを復号するとき、符号化データを一時記憶するバッファのオーバーフローやアンダーフローを生じることなく、符号化データを復号することができ、長時間の受信時においても、映像や音声の乱れを生じることなく、映像や音声を視聴することができる。

【0004】

【発明が解決しようとする課題】デジタル放送の本格化に伴い、デジタル放送受信機またはデジタル放送チューナで受信した符号化ビットストリームを、デジタル記録再生装置に入力して記録媒体に記録するとともに、その記録された符号化ビットストリームを、記録媒体から再生してデジタル放送受信機またはデジタル放送チューナに出力し、デジタル放送受信機またはデジタル放送チューナで復号して、再生出力を得ることが考えられている。

【0005】このような記録再生装置でも、上記のようなクロック生成装置を実装して、記録時には、そのクロック生成装置から、記録再生装置に入力された符号化ビットストリームに含まれる基準時刻情報に同期したクロ

ックを得て、符号化ビットストリームの処理回路に供給する必要がある。

【0006】しかし、このように記録再生装置のクロック生成部が、デジタル放送受信機またはデジタル放送チューナのクロック生成部と同様に、符号化ビットストリームに含まれる基準時刻情報に同期したクロックが得られるPLL (Phase Locked Loop) 構成であると、再生時には、記録媒体から再生された符号化ビットストリームには基準時刻情報が存在しないため、PLL構成のクロック生成部から適切なクロックを得ることができなくなり、再生時のデータ処理用に別途、クロックを発生する発振器を設けない限り、記録媒体から再生された符号化ビットストリームを処理してデジタル放送受信機またはデジタル放送チューナに出力するのに支障を来すことになる。

【0007】そこで、この発明は、一つの発振器によって、デジタルデータ記録用などのための、デジタルデータに含まれる基準時刻情報に同期したクロックと、デジタルデータ再生用などのための、固定周波数のクロックとが、選択的に得られるようにしたものである。

【0008】

【課題を解決するための手段】この発明のクロック生成装置は、制御値に応じて発振周波数が変化する発振器と、この発振器からのクロックを計数するカウンタと、基準時刻情報を含むデジタルデータから基準時刻情報を抽出する抽出手段と、その抽出された基準時刻情報の値と前記カウンタの出力値との差分値を算出する比較手段と、その算出された差分値から前記発振器に供給する制御値を演算する演算手段とを備え、制御手段からのモード切換信号によって前記演算手段が制御されて、前記制御値として前記差分値から演算された値が前記発振器に供給されることによって前記発振器から前記基準時刻情報に同期したクロックが得られる同期モードと、前記制御値として固定の値が前記発振器に供給されることによって前記発振器から固定周波数のクロックが得られる固定モードとの、いずれかに切り換えられるものとする。

【0009】上記の構成のクロック生成装置によれば、例えば、デジタル放送の符号化ビットストリームをデジタル放送チューナから記録再生装置に入力して記録するときには、記録再生装置のシステムコントローラがモード切換信号によってクロック生成装置の演算手段を、制御値として基準時刻情報の値とカウンタの出力値との差分値に基づく値を発振器に供給するように切り換えることによって、クロック生成装置はPLLを形成して、発振器からは記録する符号化ビットストリームに含まれる基準時刻情報に同期したクロックが得られ、一方、記録媒体から符号化ビットストリームを再生して記録再生装置からデジタル放送チューナに出力するときには、記録再生装置のシステムコントローラがモード切換信号によってクロック生成装置の演算手段を、制御値として固定

の値を発振器に供給するように切り換えることによって、クロック生成装置はPLLを形成しないで、発振器からは固定周波数のクロックが得られる。

【0010】

【発明の実施の形態】〔記録再生装置の概要…図1〕図1は、この発明の記録再生装置の一例を示し、映像および音声、MPEG2規格に準拠して圧縮符号化し、MPEG2システム規格に従って多重化して、MPEG2-TS (Transport Stream) として、HDD (Hard Disk Drive) 内のディスク (ハードディスク) に記録し、ディスクから再生する場合である。

【0011】なお、以下では、アナログ映像信号およびアナログ音声信号を、映像信号および音声信号と称し、デジタル映像信号およびデジタル音声信号は、デジタル映像データおよびデジタル音声データ、または単に映像データおよび音声データと称する。また、「インタフェース」は「I/F」と略称する。

【0012】この例では、記録再生装置10は、地上波アナログテレビ放送を受信するアンテナ1が接続され、アナログ入力端子11V、11A、11S、アナログ出力端子12V、12A、12S、デジタル入出力端子15、デジタルI/F回路17、入力処理部20、出力処理部30、多重分離処理部40、バッファ制御回路50、HDD60、システムコントローラ70および同期制御回路80を備える。多重分離処理部40は、多重化回路41および分離回路42を備える。

【0013】システムコントローラ70は、図では省略したが、CPU (Central Processing Unit)、CPUが実行すべきプログラムや固定データなどが書き込まれたROM (Read Only Memory)、およびCPUのワークエリアなどとして機能するRAM (Random Access Memory)などを備え、記録再生装置10全体を制御するものである。

【0014】(アナログ入力処理および記録)アンテナ1で受信された地上波アナログテレビ放送は、地上波チューナ21で選局されて、地上波チューナ21から映像信号および音声信号が得られ、その映像信号および音声信号が、入力切換回路22の一方の入力端に供給される。

【0015】入力端子11Vには外部機器からコンポジット映像信号が、入力端子11Aには外部機器から音声信号が、入力端子11Sには外部機器からセパレート映像信号が、それぞれ供給される。

【0016】入力端子11Vからのコンポジット映像信号、および入力端子11Aからの音声信号は、入力切換回路22の他方の入力端に供給され、入力切換回路22がシステムコントローラ70によって切り換えられて、入力切換回路22から、いずれかの映像信号および音声

信号が選択されて取り出される。

【0017】入力切換回路22からの映像信号は、YC分離回路23で輝度信号と色差信号に分離されて、別の入力切換回路24の一方の入力端に供給される。また、入力端子11Sからのセパレート映像信号（輝度信号および色差信号）が、入力切換回路24の他方の入力端に供給され、入力切換回路24がシステムコントローラ70によって切り換えられて、入力切換回路24から、いずれかの輝度信号および色差信号が選択されて取り出される。

【0018】入力切換回路24からの輝度信号および色差信号は、NTSC (National Television System Committee) デコーダ25で、それぞれA/D変換され、さらにクロマエンコード処理されて、NTSCデコーダ25からコンポジット映像データが得られる。

【0019】また、NTSCデコーダ25では、入力切換回路24からの輝度信号から垂直同期信号および水平同期信号が分離されるとともに、その分離された同期信号に基づいてクロックおよびフィールド判別信号が生成され、これら同期信号、クロックおよびフィールド判別信号が、同期制御回路80に供給される。同期制御回路80では、これらの信号を基準として記録再生装置10の各部に必要なクロックおよびタイミング信号が生成されて、記録再生装置10の各部に供給される。

【0020】NTSCデコーダ25からの映像データは、プリ映像処理回路26でプリフィルタリング処理などの映像処理が施されたのち、MPEG映像エンコーダ27および出力処理部30のポスト映像処理回路32に供給される。

【0021】MPEG映像エンコーダ27では、プリ映像処理回路26からの映像データに対してブロックDCT (Discrete Cosine Transform) などの符号化処理が施されて、映像ES (Elementary Stream) が生成され、そのMPEG映像ESが、多重分離処理部40に供給される。

【0022】一方、入力切換回路22からの音声信号は、音声A/D変換器28でデジタル音声データに変換されたのち、MPEG音声エンコーダ29および出力処理部30の出力切換回路35に供給される。

【0023】MPEG音声エンコーダ29では、音声A/D変換器28からの音声データがMPEGフォーマットに従って圧縮されて、音声ESが生成され、そのMPEG音声ESが、多重分離処理部40に供給される。

【0024】多重分離処理部40では、多重化回路41において、MPEG映像エンコーダ27からの映像ESおよびMPEG音声エンコーダ29からの音声ESと各種制御信号とが多重化されて、MPEG2システムのTSが生成され、そのMPEG2-TSが、バッファ制御回路50に送出される。

【0025】バッファ制御回路50は、多重化回路41から連続的に入力されるMPEG2-TSを、HDD60に断続的に送出する。すなわち、HDD60がシーク動作を行っているときには、書き込みができないので、入力されたMPEG2-TSをバッファに一時蓄え、HDD60が書き込み可能なときに、そのMPEG2-TSを入力レートより高いレートでバッファから読み出してHDD60に送出する。これによって、バッファ制御回路50に連続的に入力されるMPEG2-TSは、途切れることなくディスク（ハードディスク）61に記録される。

【0026】HDD60は、システムコントローラ70によって制御されて、ディスク61にMPEG2-TSを書き込む。バッファ制御回路50とHDD60との間のプロトコル (I/F) としては、IDE (Integrated Device Electronics) などが用いられる。

【0027】（再生およびアナログ出力処理）再生時には、HDD60は、システムコントローラ70によって制御されて、ディスク61からMPEG2-TSを読み出し、バッファ制御回路50に送出する。バッファ制御回路50は、記録時とは逆に、HDD60から断続的に入力されるMPEG2-TSを、連続的なMPEG2-TSに変換して、多重分離処理部40の分離回路42に供給する。

【0028】分離回路42では、その連続的なMPEG2-TSのヘッダが解析処理されることによって、MPEG2-TSからPES (Packetized Elementary Stream) が分離されて、MPEG映像音声デコーダ31に供給される。

【0029】MPEG映像音声デコーダ31では、分離回路42からのPESが映像ESと音声ESに分離され、さらに、その映像ESがMPEG映像デコーダで復号されてベースバンドの映像データに変換され、音声ESがMPEG音声デコーダで復号されてベースバンドの音声データに変換される。変換後の映像データはポスト映像処理回路32に供給され、音声データは出力切換回路35に供給される。

【0030】ポスト映像処理回路32では、MPEG映像音声デコーダ31からの映像データおよびプリ映像処理回路26からの映像データに対して、両者の切り換えまたは合成やポストフィルタリング処理などの映像処理が施され、処理後の映像データが、OSD (On Screen Display) 処理回路33に供給される。

【0031】OSD処理回路33では、ポスト映像処理回路32からの映像データに、表示画面上でグラフィックスなどの画像が重畳的または部分的に表示されるような処理が施され、処理後の映像データが、NTSCエンコーダ34に供給される。

【0032】NTSCエンコーダ34では、OSD処理回路33からの映像データ（コンポーネント映像データ）が、輝度データと色差データとに変換され、さらに、その輝度データおよび色差データが、それぞれD/A変換されて、それぞれアナログ信号のコンポジット映像信号およびセパレート映像信号が得られる。そのコンポジット映像信号は出力端子12Vに導出され、セパレート映像信号は出力端子12Sに導出される。

【0033】一方、出力切換回路35では、システムコントローラ70によって、MPEG映像音声デコーダ31からの音声データと、音声A/D変換器28からの音声データとの、いずれかが選択されて取り出される。この選択された音声データは、音声D/A変換器36でアナログ音声信号に変換されて、出力端子12Aに導出される。

【0034】（外部装置とのI/Fの概要）記録再生装置10は、デジタル入出力端子15と多重分離処理部40との間に双方向バス16、18を介してデジタルI/F回路17が接続されたものとされて、デジタル入出力端子15に外部装置110を接続することによって、外部装置110から入力された符号化された映像音声データをディスク61に記録し、ディスク61から再生された符号化された映像音声データを外部装置110に出力することができる。

【0035】外部装置110としては、IRD（Integrated Receiver Decoder）やパーソナルコンピュータなどの機器を接続することができる。外部装置110と記録再生装置10とのデジタルI/Fとしては、IEEE（Institute of Electrical and Electronics Engineers）1394規格のI/Fなどを用いることができる。

【0036】外部装置110からデジタル入出力端子15に入力された符号化された映像音声データは、デジタルI/F回路17で、フォーマット変換などの処理が施され、記録再生装置10に適合するMPEG2-TSに変換されて、多重分離処理部40に送出される。多重分離処理部40では、必要に応じて制御信号の解析や生成が行われた上で、そのMPEG2-TSが、バッファ制御回路50に送出され、HDD60によってディスク61に記録される。

【0037】これと同時に、分離回路42で、記録されるMPEG2-TSからPESが分離されて、MPEG映像音声デコーダ31に供給されることによって、出力端子12V、12Sおよび12Aに、外部装置110からの映像音声データによるアナログ映像信号およびアナログ音声信号を得ることができる。

【0038】再生時には、HDD60によってディスク61からMPEG2-TSが読み出され、バッファ制御回路50で連続的なMPEG2-TSに変換されて、多

重分離処理部40に送出される。多重分離処理部40では、必要に応じて制御信号の解析や生成が行われた上で、そのMPEG2-TSがデジタルI/F回路17に送出される。デジタルI/F回路17では、記録時とは逆の処理によって、そのMPEG2-TSが外部装置110に適合する映像音声データに変換されて、デジタル入出力端子15を介して外部装置110に出力される。

【0039】これと同時に、分離回路42で、再生されたMPEG2-TSからPESが分離されて、MPEG映像音声デコーダ31に供給されることによって、出力端子12V、12Sおよび12Aに、再生アナログ映像信号および再生アナログ音声信号を得ることができる。

【0040】〔デジタル放送の符号化データの記録再生とクロック生成…図2～図4〕以上のような記録再生装置10において、外部装置110としてデジタル放送チューナを接続して、デジタル放送チューナで受信した符号化ビットストリームを記録再生装置10に入力してディスク61に記録し、ディスク61から再生した符号化ビットストリームをデジタル放送チューナに出力する場合の、クロック生成方法およびデータ処理方法を以下に示す。

【0041】（システム構成…図2）図2は、この場合のシステム構成の一例を示す。この例では、放送局からは、複数のプログラムの映像や音声などの情報が、MPEG2規格に準拠して圧縮符号化され、MPEG2システム規格に従って多重化されて、MPEG2-TSとして放送される。

【0042】受信側では、そのデジタル放送がアンテナ130で受信され、デジタル放送チューナ120でユーザによって選択されたプログラムの符号化データが復号され、さらにアナログ信号に変換されて、モニタ出力装置140に出力される。

【0043】このデジタル放送チューナ120に、上述した記録再生装置10のデジタル入出力端子15が接続される。デジタル放送チューナ120と記録再生装置10とのデジタルI/Fとしては、例えば、上述したIEEE1394規格のI/Fが用いられる。そして、後述のように、デジタル放送チューナ120で選択されたプログラムの符号化データが、デジタル放送チューナ120からデジタルI/F回路17を介して記録再生装置10に入力されてディスク61に記録されるとともに、ディスク61から再生された符号化データが、デジタルI/F回路17を介してデジタル放送チューナ120に出力される。

【0044】（多重分離処理部およびクロック生成部の構成…図3）図3は、この場合の記録再生装置10の多重分離処理部40および多重分離処理部40内に設けられるクロック生成部90の一例を示す。この例の多重分離処理部40は、クロック生成部90、多重化回路41、分離回路42、セクタ43、44、到着時刻計測

カウンタ47、到着時刻付加回路48および出力タイミング制御回路49を備える。

【0045】また、多重分離処理部40は、図では省略したが、内部に多重分離処理部40全体を制御するCPUを備えるとともに、クロック生成部90のVCXO (Voltage Controlled Crystal Oscillator) 91およびD/A変換器97を除いて、ワンチップのLSI (Large Scale Integrated circuit) として構成される。

【0046】クロック生成部90は、制御電圧に応じて発振周波数が27MHzを中心として一定範囲内で変化するVCXO91、このVCXO91からのクロックを計数するSTC (System Time Clock) カウンタ92、デジタル1/F回路17から双方向バス18に出力されたMPEG2-TSから、これに含まれる基準時刻情報としてのPCRのPID (Packet Identification) を検出するPID検出回路93、その検出されたPIDによって、デジタル1/F回路17から双方向バス18に出力されたMPEG2-TSから、これに含まれるPCRを抽出するPCR抽出回路94、その抽出されたPCRの値とSTCカウンタ92の出力値 (カウント値) との差分値を算出する比較回路95、その算出された差分値から演算した値、またはあらかじめ設定された固定の値を、制御データとして出力する制御演算回路96、および、その制御データを0~5Vのアナログ制御電圧に変換してVCXO91に供給するD/A変換器97によって構成される。

【0047】VCXO91は、制御演算回路96からの制御値が固定値とされる場合には、発振周波数が27MHzに固定され、制御演算回路96からの制御値が比較回路95からの差分値に基づく値とされる場合には、その制御値が大きいくときほど発振周波数が高くなるように、その制御値に応じて発振周波数がほぼ線形に変化するものとされる。

【0048】制御演算回路96は、記録再生装置10の図では省略した操作部でのユーザの動作モード切替操作に基づいてシステムコントローラ70から制御演算回路96に送出されるモード切替信号によって、後述のように出力の制御値が切り換えられる。

【0049】到着時刻計測カウンタ47は、STCカウンタ92と同様にVCXO91からのクロックを計数するもので、STCカウンタ92に兼ねさせることもできるが、この例はSTCカウンタ92とは別に設ける場合である。到着時刻付加回路48および出力タイミング制御回路49については、後述する。

【0050】(記録時の動作) 放送局から放送されるMPEG2-TSは、複数のプログラムの、例えば、図4(A)に示すようにプログラムA、B、Cの3プログラ

ムの、映像や音声などの情報が、1本のストリームに多重化されたものである。

【0051】図2のデジタル放送チューナ120では、ユーザは、そのうちの記録したいプログラムを選択する。デジタル放送チューナ120は、その選択されたプログラムのみをMPEG2-TSとして、デジタル1/F回路17を介して記録再生装置10に送出する。したがって、記録再生装置10に入力されるMPEG2-TSは、図4(B)に示すように歯抜けのTS (パーシャルTS) となる。

【0052】図3の多重分離処理部40では、このデジタル1/F回路17を介して記録再生装置10に入力されて双方向バス18に得られたMPEG2-TSに含まれる最初のPCR値が、PCR抽出回路94からSTCカウンタ92および到着時刻計測カウンタ47にロードされる。

【0053】2個目以降のPCR値は、PCR抽出回路94から抽出されるごとに、比較回路95でSTCカウンタ92の出力値と比較される。そして、この記録時には、システムコントローラ70から制御演算回路96に送出されるモード切替信号がPLLオンを指示する状態とされて、制御演算回路96は、比較回路95からの差分値から演算した値を制御データとしてD/A変換器97に出力するPLLオンの状態に切り換えられる。

【0054】したがって、このとき、STCカウンタ92および到着時刻計測カウンタ47の出力値がPCR抽出回路94から抽出されたPCR値と等しくなると、両者の差分値がゼロとなるように、VCXO91の発振周波数がフィードバック制御される。

【0055】すなわち、VCXO91の発振周波数が低いために、STCカウンタ92および到着時刻計測カウンタ47の出力値の増加速度が遅く、その出力値がPCR値より小さいときには、VCXO91の発振周波数が高くなるように制御され、逆に、VCXO91の発振周波数が高いために、STCカウンタ92および到着時刻計測カウンタ47の出力値の増加速度が早く、その出力値がPCR値より大きいときには、VCXO91の発振周波数が低くなるように制御される。

【0056】このようなフィードバック制御によって、STCカウンタ92および到着時刻計測カウンタ47の出力値は、PCR抽出回路94から抽出されたPCR値と等しくなると、デジタル1/F回路17を介して双方向バス18に得られたMPEG2-TSの各パケットの到着時刻を示すものとなる。

【0057】そして、到着時刻付加回路48において、この到着時刻計測カウンタ47の出力値が、双方向バス18に得られたMPEG2-TSの各パケットの末尾に、パケットの到着時刻を示す情報として付加され、その到着時刻情報が付加されたMPEG2-TSが、到着時刻付加回路48からセクタ43を介してバッファ制

御回路50に送出され、バッファ制御回路50において、図4(C)に示すように各パケットの間が詰められて、HDD60によってディスク61に記録される。

【0058】(再生時の動作)再生時、ユーザは、記録再生装置10において、ディスク61に記録されているデータから、視聴したいプログラムのデータを選択する。

【0059】これによって、ディスク61から、その選択されたプログラムのデータが、図4(C)に示すように各パケットの末尾に到着時刻情報が付加され、かつ各パケットの間が詰まったMPEG2-TSとして読み出される。その再生されたMPEG2-TSは、バッファ制御回路50に送出され、バッファ制御回路50からセクタ44を介して出力タイミング制御回路49に供給される。

【0060】そして、この再生時には、システムコントローラ70から制御演算回路96に送出されるモード切換信号がPLLオフを指示する状態とされて、制御演算回路96は、あらかじめ設定された固定の値を制御データとしてD/A変換器97に出力するPLLオフの状態に切り換えられ、VCXO91の発振周波数が27MHzに固定される。

【0061】このVCXO91からの27MHzの固定周波数のクロックは、到着時刻計測カウンタ47で計数される。出力タイミング制御回路49は、再生されたMPEG2-TSの最初のパケットに付加されている到着時刻情報を到着時刻計測カウンタ47にロードする。

【0062】さらに、出力タイミング制御回路49は、再生されたMPEG2-TSの2個目以降の各パケットにつき、到着時刻計測カウンタ47の出力値を参照しながら、到着時刻計測カウンタ47の出力値がパケットに付加されている到着時刻情報の値に一致した時、そのパケットを双方向バス18に出力する。

【0063】これによって、出力タイミング制御回路49から双方向バス18には、図4(D)に示すように、記録時と同じタイミングでパケットが出力され、記録時と同じ歯抜けのMPEG2-TSが出力される。ただし、到着時刻情報は、記録再生装置10の内部でのみ用いられるものであるため、出力タイミング制御回路49からは出力されない。

【0064】双方向バス18に出力されたMPEG2-TSは、デジタルI/F回路17を介してデジタル放送チューナ120に出力されて復号され、さらにアナログ信号に変換されて、モニタ出力装置140に出力される。

【0065】(アナログ入力時およびアナログ出力時の動作)図1で上述したように、地上波チューナ21または入力端子11V、11S、11Aからの映像信号および音声信号によって多重化回路41から得られるMPEG2-TSをディスク61に記録する場合には、図3に

示すように、その多重化回路41からのMPEG2-TSが、セクタ43を介してバッファ制御回路50に送出され、HDD60によってディスク61に記録される。

【0066】この場合、システムコントローラ70からのモード切換信号はPLLオフを指示する状態とされて、VCXO91からは27MHzの固定周波数のクロックが出力され、その固定周波数のクロックが多重化回路41に供給されて、多重化回路41での多重化処理が実行される。

【0067】また、このように記録されたMPEG2-TSをディスク61から再生して図1の出力端子12V、12Sおよび12Aに再生映像信号および再生音声信号を得る場合には、図3に示すように、バッファ制御回路50からの再生されたMPEG2-TSが、セクタ44を介して分離回路42に供給される。

【0068】この場合も、システムコントローラ70からのモード切換信号はPLLオフを指示する状態とされて、VCXO91からは27MHzの固定周波数のクロックが出力され、その固定周波数のクロックが分離回路42に供給されて、分離回路42での分離処理が実行される。

【0069】〔他の例または実施形態〕上述した例では、デジタルI/F回路17を介して記録再生装置10に入力されるMPEG2-TSが、図4(B)に示したようなバーチャルTS(歯抜けのTS)であり、記録再生装置10に入力されるMPEG2-TSにはPCRパケットが1系列しか存在しないので、PID検出回路93ではPAT(Program Association Table)およびPMT(Program Map Table)を順に参照することによってPCRのPIDを特定することができる。

【0070】しかし、デジタルI/F回路17を介して記録再生装置10に入力されるMPEG2-TSが、図4(A)に示すようなフルTS(複数のプログラムが多重されていてパケット間詰められたTS)の場合には、記録再生装置10に入力されるMPEG2-TSにはPCRパケットがプログラム数と同数の系列存在するので、そのままではPCRのPIDを特定することができない。そのため、この場合には、デジタル放送チューナ120が記録再生装置10に選択しているプログラムを通知するなど、何らかの方法でPCRのPIDを特定する手段が必要である。

【0071】また、デジタルI/F回路17を介して記録再生装置10に入力されるビットストリームがMPEG2-TS以外の場合でも、PCRのような基準時刻情報が付加されたパケットが送られるものであれば、上述した例と同様のPLLオンオフ機能を実現することができる。例えば、MPEG2-PS(Program Stream)では、SCR(System Clock

Reference) が、DSS (Digital Satellite System: 米国のデジタル衛星放送で多く用いられているシステムストリーム形式) では、RTS (Reference Time Stamp) が、それぞれMPEG2-TSのPCRに相当するので、これら基準時刻情報を抽出することによって、上述した例と同様のPLLオンオフ機能を実現することができる。

【0072】また、上述した例は、記録再生装置10にデジタル放送チューナ120を接続する場合であるが、例えば、記録再生装置10に他のデジタル記録再生装置を接続して、他のデジタル記録再生装置からのデジタルデータを記録再生装置10に入力してディスク61に記録し、またはディスク61からデジタルデータを再生して他のデジタル記録再生装置に出力し、あるいは記録再生装置10にデジタル動画撮影装置を接続して、そのデジタル動画撮影装置からのデジタルデータを記録再生装置10に入力してディスク61に記録することもできる。

【0073】さらに、上述した例は、デジタル放送チューナ120を外部装置として記録再生装置10に接続する場合であるが、デジタル放送チューナを記録再生装置に組み込んで記録再生装置と一体化し、または記録再生装置をデジタル放送受信機に組み込んで受信機と一体化することもでき、その場合には、上述した記録再生装置

10のクロック生成部90とデジタル放送チューナまたはデジタル放送受信機のクロック生成部を共通化することができる。

【0074】また、上述した例は、記録再生装置の記録媒体(記憶素子)としてハードディスクを用いる場合であるが、光ディスク、光磁気ディスク、半導体メモリなどを用いてもよい。

【0075】

【発明の効果】上述したように、この発明によれば、一つの発振器によって、デジタルデータ記録用などのための、デジタルデータに含まれる基準時刻情報に同期したクロックと、デジタルデータ再生用などのための、固定周波数のクロックとを、選択的に得ることができる。

【図面の簡単な説明】

【図1】この発明の記録再生装置の一例を示す図である。

【図2】この発明の記録再生装置に外部装置を接続する場合のシステム構成の一例を示す図である。

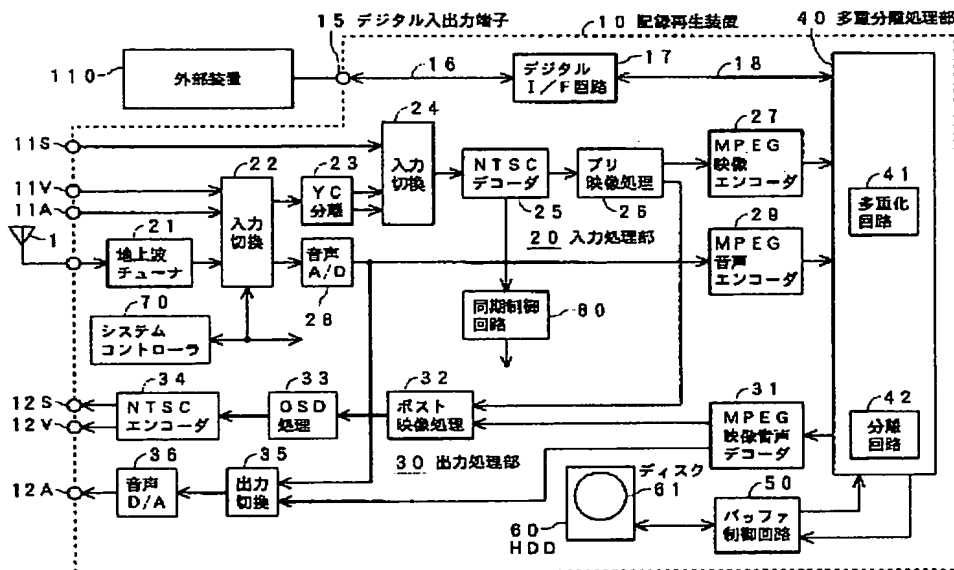
【図3】多重分離処理部およびクロック生成部の一例を示す図である。

【図4】デジタル放送の符号化ビットストリームを記録再生する際のデータ処理の一例を示す図である。

【符号の説明】

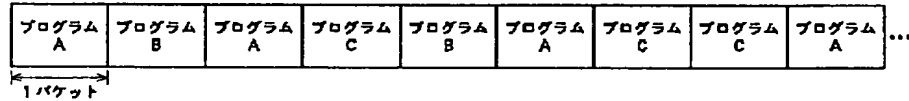
主要部については図中に全て記述したので、ここでは省略する。

【図1】

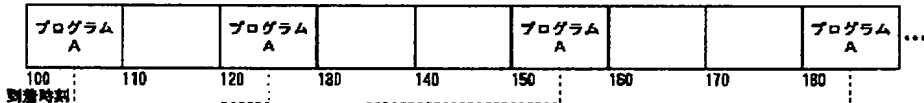


【図4】

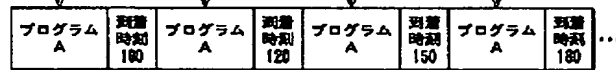
(A) 放送されるMPEG2-TS



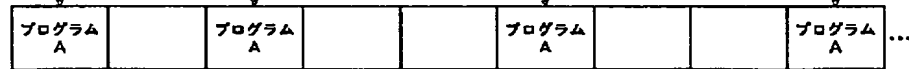
(B) デジタル放送チューナ120から記録再生装置10に入力されるMPEG2-TS



(C) ディスク61に記録されるストリーム



(D) 記録再生装置10からデジタル放送チューナ120に出力されるMPEG2-TS



フロントページの続き

(72)発明者 小幡 功史
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内
 (72)発明者 本田 健
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内

Fターム(参考) 5C020 AA09 AA37 BA20 BB07 CA11
 CA13 CA15
 5C053 FA23 GA11 GB08 GB10 GB38
 HA01 HC02 JA22 JA26 KA08
 KA10 KA18 KA20 KA21 KA24
 LA06
 5D044 AB07 BC01 CC04 GK08 GM14
 GM17 GM34